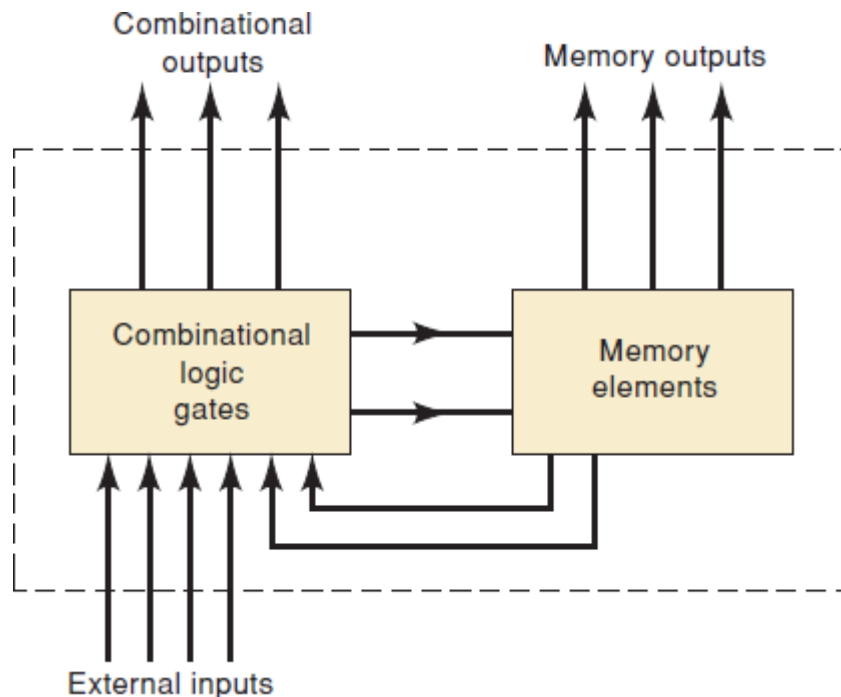


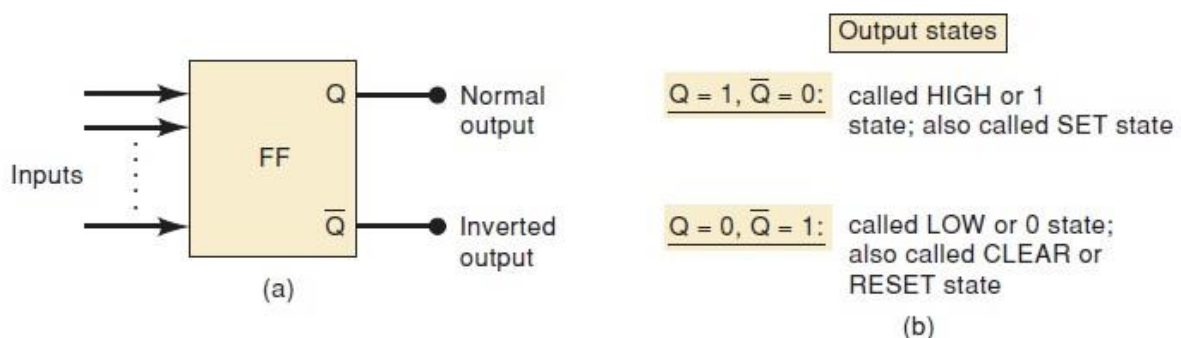
## 6. FLIP FLOP

Gambar 6.1 menunjukkan sebuah blok diagram dari system digital yang dikombinasikan dengan perangkat memory.



**Gambar 6.1 Diagram system Digital**

Elemen memory yang paling penting adalah flip flop, yang dibuat dari rangkaian gerbang gerbang logika. Walaupun sebuah gerbang logika tidak memiliki kemampuan penyimpanan, beberapa dapat dihubungkan sebagai cara untuk menyimpan informasi. Beberapa gerbang yang berbeda disusun dan digunakan untuk menghasilkan flip flop (FF).



**Gambar 6.2 General Flip Flop**

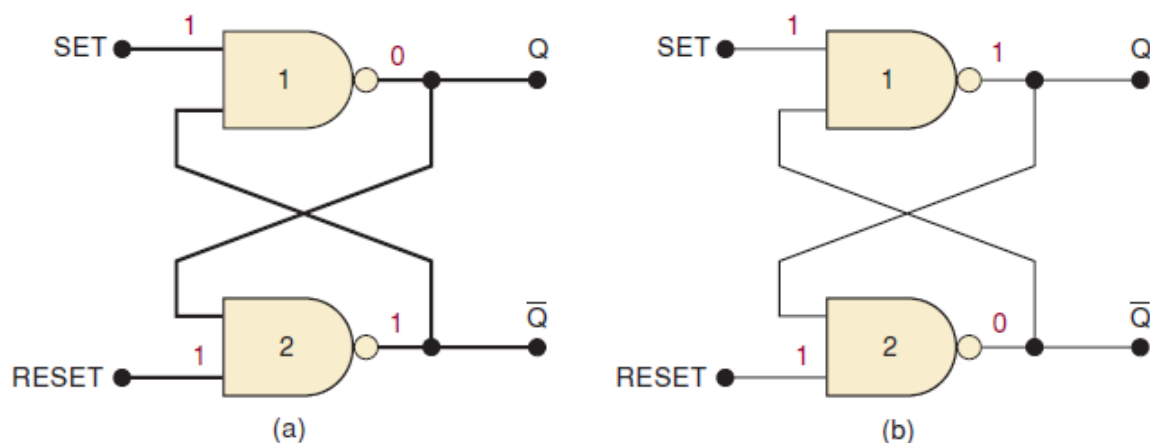
Gambar 6.2 a, merupakan symbol yang digunakan oleh flip flop. Menunjukkan 2 input yang diberi label Q dan  $\bar{Q}$ . Q/ $\bar{Q}$  merupakan output FF. Q output disebut sebagai normal output FF dan  $\bar{Q}$  merupakan invers output FF. Contoh Sebuah FF berada pada state HIGH (1), maka  $Q = 1$ , jika FF pada state LOW (0) maka  $Q = 0$ . Dan  $\bar{Q}$  memiliki nilai sebaliknya.

Gambar 6.2b merupakan 2 kemungkinan operasi pada FF. Untuk HIGH atau state 1 ( $Q=1/\bar{Q}=0$ ) disebut sebagai SET state. Pada saat input ke FF menyebabkan  $Q=1$ , maka disebut setting FF, sehingga FF di set. Dengan cara yang sama LOW atau 0 state ( $Q=0/\bar{Q}=1$ ) disebut sebagai CLEAR atau RESET state. Pada saat input ke FF menyebabkan  $Q=0$ , maka disebut clearing atau resetting FF, sehingga FF di reset. **FF memiliki SET input dan/atau CLEAR (RESET) input yang digunakan untuk drive FF menjadi state output.**

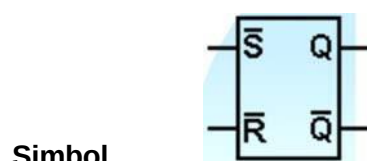
## NAND GATE LATCH

Rangkaian dasar FF dapat dibangun dari 2 gerbang NAND atau 2 gerbang NOR. Versi gerbang NAND disebut sebagai NAND gate latch atau secara sederhana latch (Gambar 6.3a). 2 gerbang NAND di cross-coupled sehingga output NAND-1 dihubungkan ke salah satu input dari NAND-2 dan sebaliknya. Output gerbang diberi label Q dan  $\bar{Q}$  dan disebut dengan latch output. Pada kondisi normal, output akan selalu di invers dengan yang lain. Ada 2 latch input : SET input yaitu input set Q sama dengan state 1; RESET input akan resets Q ke 0 state.

Versi kedua gerbang NAND (Gambar 6.3b). , dimana  $Q = 1$  dan  $\bar{Q} = 0$ . HIGH dari gerbang NAND-1 menghasilkan LOW pada output NAND-2, dan output NAND-1 tetap HIGH. Ada 2 kemungkinan output yaitu SET = RESET = 1.

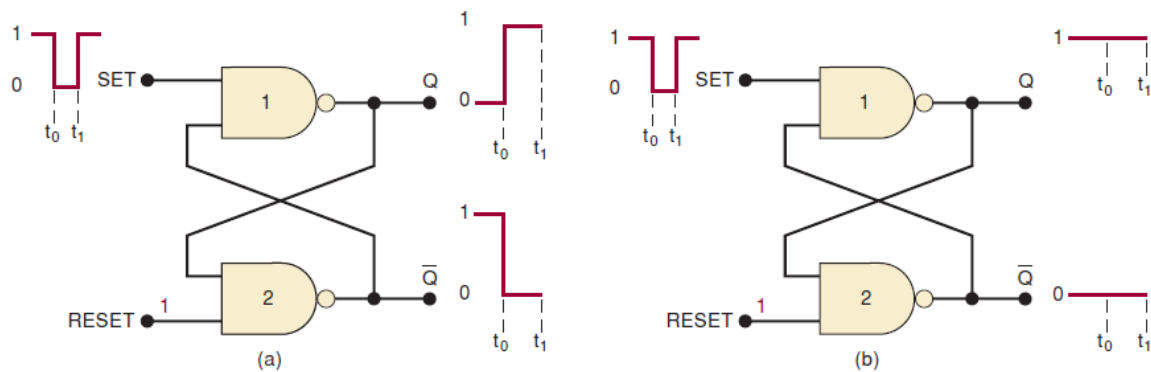


Gambar 6.3 NAND Latch



## Setting the Latch (FF)

Berdasarkan Gambar 6.4 dibawah, memperlihatkan proses SET dan RESET dari Latch



Gambar 6.4 SET dan RESET latch

### Keterangan gambar 6.4a.

SET terjadi pada saat :

Pulsa LOW pada waktu  $t_0$ , Q menjadi HIGH, dan  $\bar{Q}$  menjadi LOW dan NAND-1 memiliki 2 input LOW.

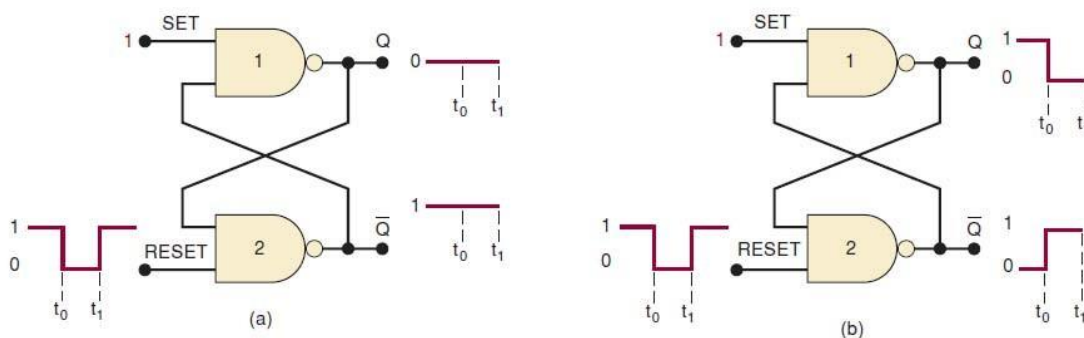
Pada saat SET kembali ke state 1 pada waktu  $t_1$ , output NAND-1 menjadi HIGH, dan output NAND-2 tetap LOW.

### Keterangan gambar 6.4b.

Jika  $\bar{Q} = 0$  maka output NAND-1 HIGH karena pulsa LOW pada SET tidak akan merubah apapun. Sehingga pada saat SET = HIGH, latch output tetap berada pada  $Q = 1$  dan  $\bar{Q} = 0$

## ReSetting the Latch (FF)

Jika input RESET = LOW dan SET = HIGH. Pada saat  $Q = 0$  dan  $\bar{Q} = 1$



**Gambar 6.5 RESETTING LATCH**

**Tabel Kebenaran**

| Set | Reset | Output    |
|-----|-------|-----------|
| 1   | 1     | No change |
| 0   | 1     | $Q = 1$   |
| 1   | 0     | $Q = 0$   |
| 0   | 0     | Invalid*  |

\*Produces  $Q = \bar{Q} = 1$ .

1. SET = RESET = 1

Kondisi ini normal state, dan tidak membuat perubahan apapun terhadap state output. Q dan  $\bar{Q}$  akan tetap sama state nya dengan sebelumnya.

2. SET = 0, RESET = 1

Menyebabkan output berubah ke state  $Q=1$ , disebut sebagai setting latch

3. SET = 1, RESET = 0

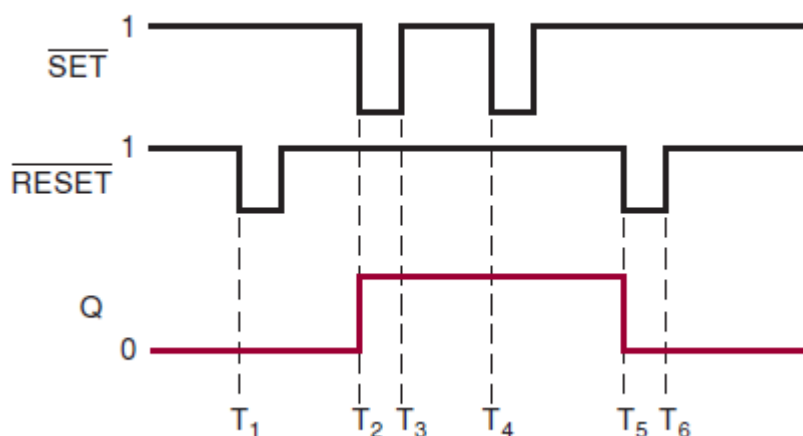
Kondisi ini menghasilkan state  $Q = 0$ , dan disebut sebagai clearing/resetting latch

4. SET=RESET=0

Kondisi ini mencoba untuk SET dan CLEAR latch pada waktu yang bersamaan, dan menghasilkan  $Q = \bar{Q} = 1$ . Jika input dikembalikan ke 1 secara bersamaan, maka hasilnya adalah tidak bisa diprediksi. Kondisi input ini tidak dipergunakan.

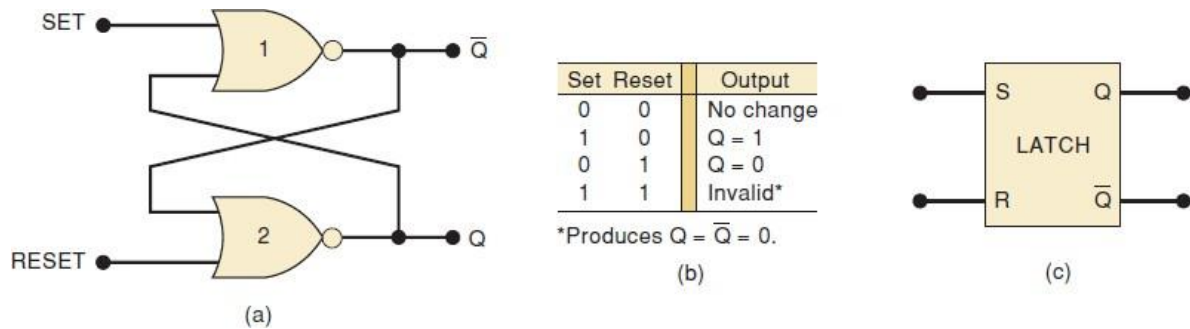
## CONTOH

---



## NOR GATE LATCH

2 gerbang NOR yang di cross-coupled dapat digunakan sebagai NOR gate latch. Gambar 6.6(a) mirip dengan NAND latch kecuali output  $Q$  dan  $\bar{Q}$  dengan posisi terbalik.



**Gambar 6.6 NOR GATE LATCH**

1. SET = RESET = 0

Kondisi ini normal state, dan tidak membuat perubahan apapun terhadap state output.  $Q$  dan  $\bar{Q}$  akan tetap sama state nya dengan sebelumnya.

2. SET = 1, RESET = 0

Menyebabkan output berubah ke state  $Q=1$ , disebut sebagai setting latch

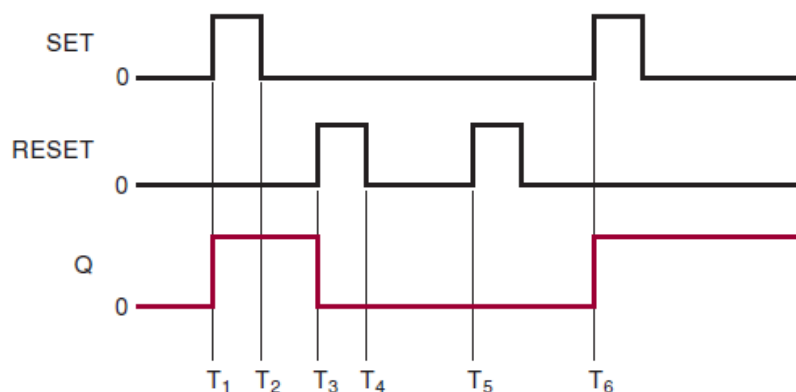
3. SET = 0, RESET = 1

Kondisi ini menghasilkan state  $Q = 0$ , dan disebut sebagai clearing/resetting latch

4. SET=RESET=1

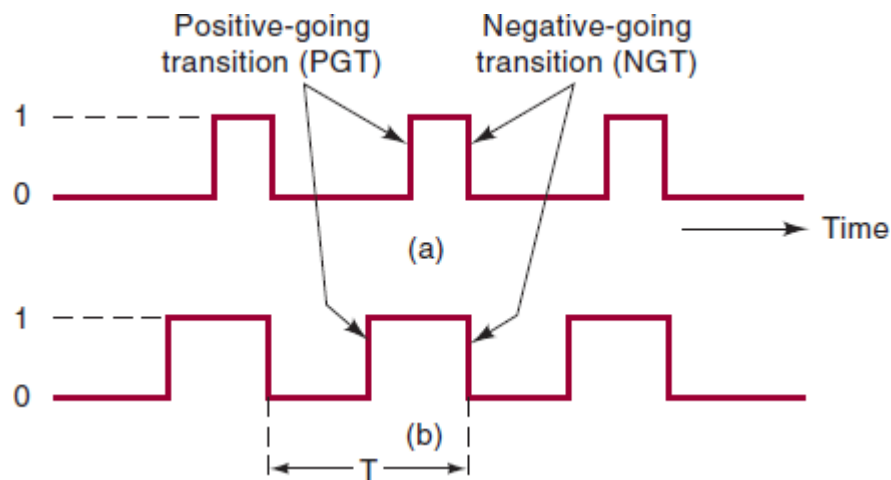
Kondisi ini mencoba untuk SET dan CLEAR latch pada waktu yang bersamaan, dan menghasilkan  $Q = \bar{Q}=0$ . Jika input dikembalikan ke 0 secara bersamaan, maka hasilnya adalah tidak bisa diprediksi. Kondisi input ini tidak dipergunakan.

### Contoh



## CLOCK SIGNALS AND CLOCKED FLIP-FLOPS

System digital dapat beroperasi secara asinkron atau sinkron. Pada system asinkron, output rangkaian logika dapat merubah state setiap saat satu atau lebih input berubah. Pada system sinkron, waktu setiap output dapat merubah state ditentukan oleh sebuah sinyal yang disebut dengan **clock**. Sinyal clock merupakan sebuah pulsa segiempat seperti pada Gambar 6.7 berikut.



**Gambar 6.7 Sinyal Clock**

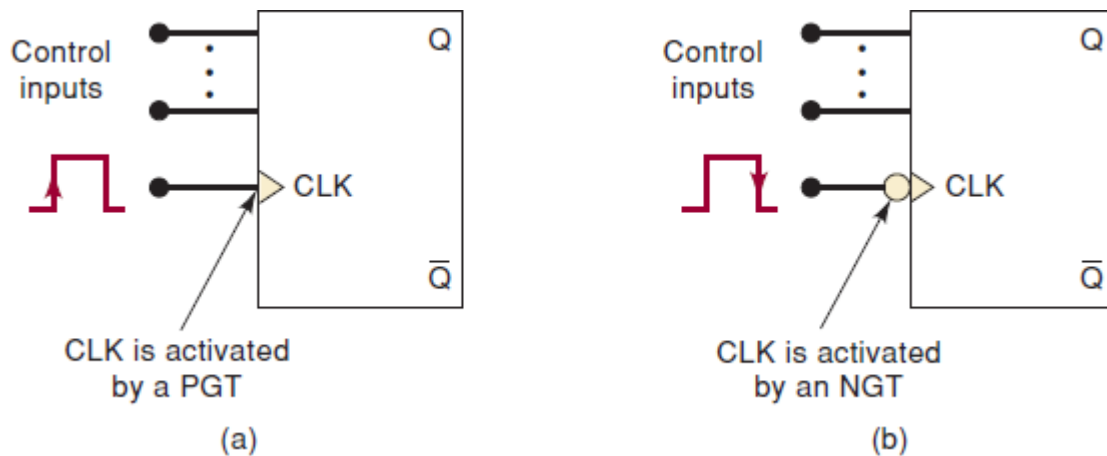
Sinyal clock didistribusikan ke semua bagian system, dan sebagian (if not all) output system dapat merubah state hanya pada saat clock membuat transisi. Transisi disebut sebagai *edges*. Pada saat clock berubah dari 0 ke 1, maka disebut sebagai **positive-going transition (PGT)**; pada saat clock berubah dari 1 ke 0, maka disebut sebagai **negative-going transition (NGT)**.

Sebagiian system digital merupakan sinkron karena rangkaian sinkron lebih mudah untuk melakukan perancangan dan troubleshoot. Hal ini disebabkan rangkaian output dapat berubah hanya pada waktu spesifik atau disinkronkan dengan transisi clock-signal.

Sinkronisasi dari sinyal clock juga digunakan pada **clocked flip-flops** yang digunakan untuk merubah states pada satu atau lebih clock's transitions.

## Clocked Flip-Flops

---



**Gambar 6.8 Clock FF**

### Karakteristik Clocked FF

1. Clock FF memiliki sebuah clock input yang diberi label CLK, CK atau CP. Normalnya menggunakan CLK (Gambar 6.8a). Pada sebagian Clock FF, CLK input merupakan edge triggered, yang akan diaktifkan oleh sebuah sinyal transisi. Hal ini diindikasikan oleh adanya segitiga kecil pada CLK input. Sebuah FF dengan segitiga kecil pada CLK Input mengindikasikan bahwa input ini hanya diaktifkan pada saat positive going transition (PGT) terjadi, dan tidak ada bagian input pulse yang akan mempengaruhi CLK Input. FF symbol memiliki sebuah bubble (Gambar 6.8b). seperti segitiga pada CLK Input. Yang berarti CLK input hanya diaktifkan pada saat Negative going Transition terjadi, dan juga tidak ada bagian input lainnya yang akan mempengaruhi CLK Input.
2. Clock FF juga memiliki satu atau lebih input control yang dapat memiliki beberapa nama, tergantung kepada operasinya. Control input tidak memiliki efek pada Q sampai aktif transisi clock terjadi.

Contoh :

Control input pada FF (Gambar 6.8a) tidak memiliki efek pada Q sampai PGT clock signal terjadi, sedangkan untuk Gambar 6.8b tidak memiliki efek sampai NGT clock signal terjadi

